

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-272556

(43)Date of publication of application : 26.11.1987

(51)Int.Cl.

H01L 21/88
H01L 27/00
H01L 29/78

(21)Application number : 61-116470

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.05.1986

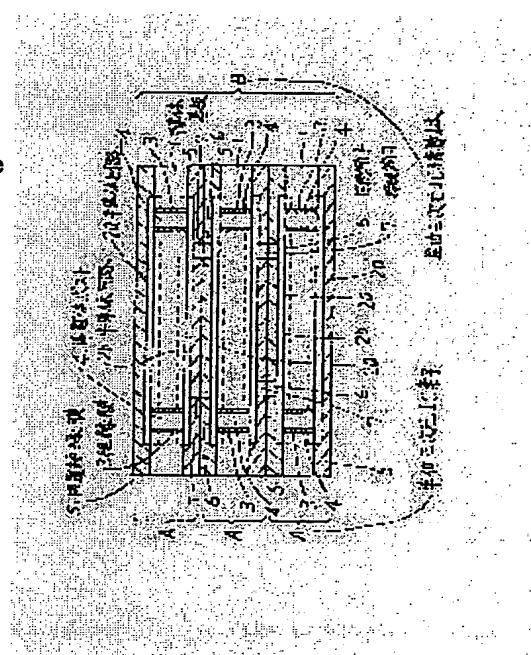
(72)Inventor : KATO TAKASHI
TAGUCHI MASAO

(54) THREE-DIMENSIONAL SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To form a 3-dimensional IC laminated in multiple layers in high yield by using a unit 3-dimensional element having a semiconductor circuit electrically connected through a conductor post passing through a semiconductor substrate on both sides of the substrate and connecting terminals led on an insulating film to be coated from the conductor circuits.

CONSTITUTION: A 3-dimensional semiconductor integrated circuit device is composed to include a unit 3-dimensional semiconductor integrated circuit element A having semiconductor circuits 2a, 2b on both side surfaces of a semiconductor substrate 1 so that the circuits 2a, 2b are electrically connected by a conductor post 4 insulated from the substrate 1 through the substrate 1 and connecting terminals 6, 7 led from the circuits 2a, 2b on at least one of insulating film 5 to be coated of the films 5 for covering the circuits 2a, 2b. Thus, since the 3-dimensional ICs are formed of multilayer unit of the unit 3-dimensional IC element of both side structure, its integration density is improved. Since it has a laminated structure, good components can be sorted at every semiconductor circuit of each layer to be laminated, its manufacturing yield is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭62-272556

⑤Int.Cl.⁴

H 01 L 21/88
 27/00
 29/78

識別記号

序内整理番号

④公開 昭和62年(1987)11月26日

6708-5F
 8122-5F
 7514-5F

審査請求 有 発明の数 2 (全11頁)

③発明の名称 三次元半導体集積回路装置及びその製造方法

②特 願 昭61-116470

②出 願 昭61(1986)5月20日

⑦発明者 加藤 隆 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑦発明者 田口 真男 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑦出願人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑦代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

三次元半導体集積回路装置及びその製造方法

2. 特許請求の範囲

1. 半導体基板(1) の両面に半導体回路(2a)
 (2b)が形成され、

該半導体回路(2a)(2b)が該半導体基板(1) を貫通する該半導体基板と絶縁された導電体ポスト

(4) によって電気的に接続されてなり、

且つ、該半導体回路(2a)(2b)上を覆う被覆絶縁膜(5a)少なくとも一方の被覆絶縁膜の表面に、その下部の半導体回路(2a)(2b)から導出された接続端子(6)(7)を有する単位三次元半導体集積回路素子(A)を含んでなることを特徴とする三次元半導体集積回路装置。

2. 前記半導体基板の表面の半導体回路がROM回路よりなり、裏面の半導体回路が該ROM配線の一部よりなることを特徴とする特許請求の範囲第1項記載の三次元半導体集積回路装置。

3. 前記半導体回路を覆う被覆絶縁膜の上層部が、熱硬化性シリコン樹脂よりもなることを特徴とする特許請求の範囲第1項記載の三次元半導体集積回路装置。

4. 前記導電体ポスト先端と該半導体回路若しくは回路配線との接続が、該導電体ポスト先端部の周囲に埋込まれた塗布絶縁膜上でなされてなることを特徴とする特許請求の範囲第1項記載の三次元半導体集積回路装置。

5. 半導体基板の表面に未貫通穴を形成し、該未貫通穴の内面に絶縁膜を形成し、該未貫通穴を導電体で埋めることによって該半導体基板に該半導体基板から絶縁された導電体ポストを形成する工程と、

該半導体基板の表面に該導電体ポストの上端部に電気的に接続する第1の半導体回路を形成する工程と、

該半導体基板上に第1の被覆絶縁膜を形成し、該第1の被覆絶縁膜の表面に該第1の半導体回路から接続端子を導出する工程と、

該半導体基板上に支持基板を貼着した後、該半導体基板の裏面を研磨して該導電体ポスト下端部を表出せしめる工程と、

該半導体基板の裏面に、該導電体ポストの下端部に電気的に接続する第2の半導体回路を形成する工程と、

該半導体基板の裏面上に第2の被覆絶縁膜を形成し、該第2の被覆絶縁膜の裏面に第2の半導体回路から接続端子を導出する工程とを有することを特徴とする三次元半導体集積回路装置の製造方法。

6. 前記第1、第2の被覆絶縁膜が、気相成長絶縁膜と接気相成長絶縁膜上に塗布した熱硬化性シリコン樹脂膜よりもなることを特徴とする特許請求の範囲第5項記載の三次元半導体集積回路装置の製造方法。

7. 前記導電体ポストの先端部と半導体回路とを接続するに際して、該半導体基板面の導電体ポストの周囲に凹部を形成し、該凹部に塗布絶縁膜を埋込み、該塗布絶縁膜に該導電体ポストの先端

部を突出せしめる凹部を形成し、該導電体ポストの突出部及び塗布絶縁膜上に半導体回路の配線材料層を形成する工程を有することを特徴とする特許請求の範囲第4項記載の三次元半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(目 次)

概要

産業上の利用分野

従来の技術

発明が解決しようとする問題点

問題点を解決するための手段

作用

実施例

構造の一実施例の側断面図(第2図)

製造方法の一実施例の工程断面図(第3図)

配線コンタクト部形成工程図(第4図)

PROM適用例の模式図(第5図)

マスクROM適用例の模式図(第6図)

発明の効果

(概 要)

半導体基板の両面に該基板内を貫通する導電体ポスト(スルーホール)を介して相互に電気的に接続する半導体回路を有し、それぞれの半導体回路から被覆絶縁膜上に接続端子が導出されてなる単位三次元半導体集積回路素子により構成される三次元半導体集積回路とその製造方法。

(産業上の利用分野)

本発明は、半導体集積回路装置が縦方向に積層高集積化されてなる三次元半導体集積回路装置(IC)の改良に関する。

従来のICは、厚い(プロセス工程における破損を避けるため所要の厚さ以上に制限される)シリコン(Si)基板の一表面のみに半導体回路が形成されていた。

そして該ICの高集積化はチップの拡大、素子及び配線の微細化と高密度配置等によって達成さ

れていた。

然しながらこの方法では、チップの大きさが制限されることから集積度に限界を生ずるので、更に集積度の向上を図るために三次元構造の半導体ICが開発されている。

(従来の技術)

従来、三次元ICの製造方法として一般化しているのはSOI(Silicon On Insulator)技術を用いる方法である。

この方法によれば、下部の半導体素子上に絶縁膜を気相成長し、該絶縁膜上に多結晶シリコン層を気相成長し、レーザアニール等の方法により該多結晶シリコン層を再結晶化し、該再結晶シリコン層に上部の半導体素子を形成することにより三次元ICが製造される。

しかしこの方法は、レーザアニールに際して結晶粒界の少ない良質の再結晶シリコン層を再現性良く形成することが難しいことにより、多層に積層される三次元ICを歩留り良く形成するのが極

めて困難であるという問題があった。

また、該三次元 I C 内にマスク ROM を配設しようとすると、情報の書き込みに相当するコンタクト窓の形成工程が、三次元構造を形成するプロセス工程の中途に入って来るため、ROM 情報入手から出荷までの製造手順が非常に長引くという問題を生ずる。

(発明が解決しようとする問題点)

本発明が解決しようとする問題点は、従来方法による三次元 I C が、多層に積層することが製造歩留り上不可能に近く（1 層当たり 50% の歩留りとすると 4 層積層しただけで 6 % 程度の歩留りに下がってしまうので実用的でない）、また短手番による所要マスク ROM の配設が困難であった点である。

(問題点を解決するための手段)

上記問題点は、半導体基板(1) の両面に半導体回路(2a)(2b) が形成され、該半導体回路(2a)(2b)

が該半導体基板(1) を貫通する該半導体基板と絶縁された導電体ポスト(4) によって電気的に接続されてなり、且つ、該半導体回路(2a)(2b) 上を覆う被覆絶縁膜(5a) 組合の少なくとも一方の被覆絶縁膜の表面に、その下部の半導体回路(2a)(2b) から導出された接続端子(6)(7) を有する単位三次元半導体集積回路素子(A) を含んでなる本発明による三次元半導体集積回路装置、及び、

半導体基板の表面に未貫通穴を形成し、該未貫通穴の内面に絶縁膜を形成し、該未貫通穴を導電体で埋めることによって該半導体基板に該半導体基板から絶縁された導電体ポストを形成する工程と、該半導体基板の表面に該導電体ポストの上端部に電気的に接続する第 1 の半導体回路を形成する工程と、該半導体基板上に第 1 の被覆絶縁膜を形成し、該第 1 の被覆絶縁膜の表面に該第 1 の半導体回路から接続端子を導出する工程と、該半導体基板上に支持基板を貼着した後、該半導体基板の裏面を研磨して該導電体ポスト下端部を表出せしめる工程と、該半導体基板の裏面に、該導電体

ポストの下端部に電気的に接続する第 2 の半導体回路を形成する工程と、該半導体基板の裏面上に第 2 の被覆絶縁膜を形成し、該第 2 の被覆絶縁膜の表面に第 2 の半導体回路から接続端子を導出する工程とを有する本発明による三次元半導体集積回路装置の製造方法によって解決される。

(作用)

即ち本発明によれば第 1 図に模式側断面を示す原理図のように、半導体基板(1) の両面に導電体ポスト(4) で相互に接続された半導体回路が形成されるので、1 枚の半導体基板に形成される半導体回路の集積度は 2 倍に向上し、更に接単位三次元 I C (A) がその両面に導出された接続端子(6)(7) を介して電気的に接続されて積み重ねられるので、高集積度の多層構造の三次元 I C (B) を形成することが可能になる。

また各層の半導体回路(2a)(2b)を構成する半導体素子は統て半導体単結晶基板(1) によって形成されるのでその特性は安定すると同時に、上記積

み重ね構造(B) がされることにより特性選別を各層の半導体回路(2a)(2b)ごとに行なうことが可能になるので、多層構造の三次元 I C の製造歩留りが大幅に向上する。

更にまた上記積み重ね構造(B) がされることにより、基板(1) 下面の配線変更が積み上げ積層工程の直前で接単位三次元 I C 素子(A) ごとになし得るので、ROM 情報の変更等に際しての配線変更が極めて容易になり、ROM を含んだ多層構造の三次元 I C の製造手番も大幅に短縮される。

(実施例)

以下本発明を図示実施例により、具体的に説明する。

第 2 図は本発明の構造の一実施例を示す模式側断面図、第 3 図(a)～(d) は本発明の製造方法の一実施例を示す工程断面図、第 4 図は導電体ポストと回路配線とのコンタクトの形成方法を示す工程断面図、第 5 図は本発明に係る PROM の構造を示す模式平面図(a) 及び模式側断面図(b)、第 6 図は本

発明に係るマスクROMの回路図(a)、情報“1”の場合の模式側断面図(b)及び情報“0”的場合の模式側断面図(c)である。

全図を通じ同一対象物は同一符号で示す。

本発明に係る積層構造の三次元ICは例えば第2図に示すように、セラミック等よりなる配線基板46上に第1の単位三次元IC素子(A₁)が固着され、更にその上に第2の単位三次元IC素子(A₂)が積層固着されてなっている。

即ち、第1の単位三次元IC素子(A₁)は、例えばp型シリコン(p-Si)基板1の表面に第1のnチャネルMOSトランジスタ(Tr1)を含む第1の半導体回路が形成され、且つ裏面に第2のnチャネルMOSトランジスタ(Tr2)を含む第2の半導体回路が形成され、例えば二酸化シリコン(SiO₂)よりなる層間絶縁膜26及び41上に配設された表面と裏面のn+型多結晶シリコン(ポリSi)回路配線27と42と共に、p-Si基板1を貫通し且つp-Si基板1との間にSiO₂絶縁膜3によって絶縁されたn+型ポリSiよりなる導電体ポスト4a、4bによって電気

的に接続され、両面の半導体回路上が少なくとも上層部に熱硬化性シリコン樹脂層を有する被覆絶縁膜29、45で覆われ、下部の回路配線27、42から前記被覆絶縁膜29、45の表面に例えばアルミニウム(Al)よりなる接続端子即ち熱圧着端子6a、6b、7a、7bがそれぞれ導出されてなっており、熱圧着手段によりセラミック等よりなる配線基板46上に7a、7bを介し電気的に接続し、且つ被覆絶縁膜45を構成する熱硬化性シリコン樹脂層を介して強固に融着固定されている。

そして第2の単位三次元IC素子(A₂)は表面部の熱圧着端子6a、6b及び熱硬化性シリコン樹脂層29bを形成しないことを除いて第1の単位三次元IC素子(A₁)と同様の構造を有し(回路構造は勿論同一とは限らない)、熱圧着手段により熱圧着端子7a、7bを介し第1の単位三次元IC素子(A₁)の熱圧着端子6a、6bと電気的に接続され、且つ裏面の被覆絶縁膜45を構成する熱硬化性シリコン樹脂層により第1の単位三次元IC素子(A₁)表面の熱硬化性シリコン樹脂層29bと強固に融着固定さ

れることにより第1の単位三次元IC素子(A₁)上に積層されてなっている。

以下に本発明の三次元ICをその製造方法により更に詳細に説明する。

第3図(a)参照

本発明の方法により例えば本発明の構造に係る三次元n-MOSICを形成するに際しては、p-Si基板1の表面1aの所定の複数位置に、通常のイオンミーリング法或いはリアクティブ・イオンエッティング法により、例えば直径2~4μm、深さ10μm程度の未貫通穴21a、21b等を形成し、次いで熱酸化及び気相成長により上記未貫通穴21a、21b等の内面を含む基板1上に厚さ例えば5000Å程度のSiO₂絶縁膜3を形成し、次いで気相成長法により該基板上に、上記未貫通穴21a、21b等を充填し得る厚さに第1の導電体となるn+型ポリSi層104を形成する。

第3図(b)参照

次いで等方性ドライエッティング手段によるエッチバックを行って基板1上面のポリSi層104のみ

を選択的に除去し、次いで通常のプラズマエッティング等により基板1上面のSiO₂絶縁膜3を除去し該基板1内にn+型ポリSi層104よりなりSiO₂絶縁膜3によって基板1と絶縁された導電体ポスト4a、4b等を形成する。

第3図(c)参照

次いで、熱酸化によるゲート酸化膜の形成、化学気相成長(CVD)法及びリアクティブ・イオンエッティング(RIE)法によるゲート電極の形成、イオン注入法によるソース・ドレイン領域の形成等の工程を有する通常のMOSプロセスにより、上記p-Si基板1の上面にゲート酸化膜22、ポリSiゲート電極23、n+型ソース領域24、n+型ドレイン領域25よりなる第1のnチャネルMOSトランジスタ(Tr1)、及び図示しない抵抗、キャパシタ等の素子を形成する。

そして該主面上に、CVD法より例えば厚さ5000Å程度のSiO₂層間絶縁膜26を形成する。

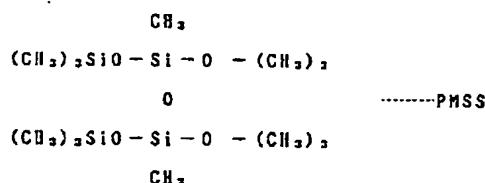
第3図(d)参照

次いで、通常のリソグラフィ技術により上記層

特開昭62-272556 (5)

間絶縁膜26にコンタクト窓を形成し、次いでCVD法によるn+型ポリSi層の形成、通常のリソグラフィ技術によるパターンニングの工程を経て、該層間絶縁膜26上にソース配線27、図示しないドレン配線及びその他の配線28等のポリSi回路配線を形成する。なおこの際、例えばソース配線27を導電体ポスト4aの上端部に、その他の配線28を導電体ポスト4bの上端部にそれぞれコンタクト窓を介し接触せしめる。

次いで上記配線が形成された主面上にCVD法により厚さ5000Å程度の第1の被覆絶縁膜(バッジーション膜)29aを形成し、次いで該主面上にスピンドルコート法により、



上記に分子構造を示すシリル化ポリメチルシルセ

ト及びO₂ガスによるエッチバック工程を経てレジスト34を埋込む。

第3回(d)参照

次いで、上記レジスト34をマスクにして該主面上のAl層106を選択的にエッチング除去し、次いでレジスト34を除去することによって、前記被覆絶縁膜29(29a及び29b)に埋込まれソース配線27及びその他の配線28に接するAlの接続端子即ち熱圧着端子6a及び6bを形成する。

第3回(e)参照

次いで上記基板の正面(裏面)側に、熱可塑性又は熱分解性を有し且つ湿性露固気熱処理で剥離可能な樹脂例えばポリイミド35によって、石英等よりなる支持基板36を貼着し、該シリコン基板1の裏面を通常の平面研磨手段により導電体ポスト4a、4b等の下端部が突出するまで平面研磨し、最終的にメカニカルケミカルエッチング等の方法により鏡面仕上げする。この際、シリコン基板の厚さは例えば5~7μm程度となる。

次いで該半導体基板1の裏面にデバイスを形成

スキオキサン(PMSS)等の熱硬化性シリコン樹脂層よりなる第2の被覆絶縁膜29bをその表面が平坦化する厚さに塗布形成する。

第3回(e)参照

次いで該基板を100℃程度に加熱して上記PMSSよりなる第2の被覆絶縁膜29b中の溶剤を蒸発させた後、該第2の被覆絶縁膜29b上にエッチングマスクとなる2000Å程度の厚さのアルミニウム(AI)層30を形成し、通常のリソグラフィ技術により該AIマスク層30に熱圧着端子形成領域に対応する開孔31a、31bを形成し、酸素プラズマにより被覆絶縁膜29bをエッチングし、次いでCHF₃ガス等によるRIE処理を行って被覆絶縁膜29a及び29bに前記ポリSi配線例えば27及び28の一部を表出する開孔32a、32bを形成する。

第3回(f)参照

次いで該主面上に蒸着法等により被覆絶縁膜29より厚く又は等しく熱圧着端子用の金属層例えばAl層106を形成し、次いで該Al層106の前記開孔32a、32b上に形成された凹部33に、スピンドル

する工程に入るが、この裏面デバイス形成工程は半導体基板1が薄く強度が弱いため、半導体基板1を上記支持基板36に貼着したままで行われる。

そのため上記ポリイミド35等の貼着用樹脂の分解等を抑えて接着強度を維持する必要があり、基板温度を上昇させることは避けなければならない。従って気相成長、不純物導入領域の活性化等の熱処理は総てレーザ等短時間のパルス照射によって達成される表面加熱手段によって行われる。

第3回(g)参照

先ず100Torr程度に減圧したモノシリラン(SiH₄)と酸素(O₂)の混合ガス中で該シリコン基板1の裏面のみをレーザ照射により400~500℃程度に昇温し、該裏面上にCVD法によるゲートSiO₂膜36を形成し、次いで100Torr程度に減圧したSiH₄とフォスフィン(PH₃)の混合ガス中で該基板1の裏面のみを600~650程度に昇温し上記ゲートSiO₂膜37上に厚さ5000Å程度のn+型ポリSi層を形成し、通常のリソグラフィ手段によりパターンニングして上記n+型ポリSi層よりなる第2のゲート電極

38を形成し、次いで通常の選択イオン注入技術により該P型シリコン基板1の裏面に上記第2のゲート電極38に整合して砒素(As)を注入し、レーザ照射により該イオン注入領域を850～900℃で程度に加熱し活性化してn+型の第2のソース領域39及び第2のドレイン領域40を形成する。

第3回(i)参照

次いで前記同様SiH₄とO₂の混合ガス中でレーザ照射して上記基板の裏面上に厚さ5000Å程度のSiO₂層間絶縁膜41を形成し、次いで該SiO₂層間絶縁膜41における例えば導電体ポスト4aの上部を含む第2のソース領域39上部、第2のドレイン領域40の上部及び導電体ポスト4bの上部に、通常のリソグラフィ手段によりコンタクト窓を形成し、次いで前記同様SiH₄とPH₃の混合ガス中でレーザ照射を行って該基板の裏面上に厚さ5000Å程度のn+型ポリSi層を形成し、通常の方法によるパターンニングを行ってn+型ポリSiよりなり、ソース領域39と導電体ポスト4aの端面に接觸する第2のソース配線42、ドレイン領域40に接する第2のドレ

次いで上記熱圧着端子7a、7b等を介し各素子(半導体回路)、毎の特性選別がなされ、良品の素子がマーク成りは記憶される。

第3回(ii)参照

次いで該三次元ICを更に高集積化するに際しては、上記単位三次元IC素子(A₁)、(A₂)等が積み重ね積層される。

先ず例えばセラミック等を用いて構成されている通常の配線基板46を400～450℃で加熱し、該配線基板46の配線47上に支持基板36に貼着されている良品の単位三次元IC素子(A₁)の裏面の熱圧着端子7a、7b等を圧接し、電気的に接続固着せしめる。被覆絶縁膜45としてこの単位三次元IC素子の裏面を覆つているPMSS層は400℃で溶融し時間の経過と共にキュアードが進んで固化する性質があるので、上記熱圧着に際し配線基板46と単位三次元IC素子(A₁)は被覆絶縁膜即ちPMSS層45により密着固定される。

次いで上記熱圧着のなされた単位三次元IC素子(A₁)の上部を選択的に支持基板36の裏面からの

イン配線43、導電体ポスト4bの端面に接する第2のその他の配線44を形成する。

第3回(iii)参照

次いで該基板の裏面上にスピンドルコート法により厚さ1μm程度のPMSS層よりなる被覆絶縁膜45を形成し、第2回(e)～(f)で説明したのと同様な方法により、A1からなり、被覆絶縁膜45の裏面に例えば第2のソース配線42を導出する熱圧着端子7a及び第2のその他の配線44を導出する熱圧着端子7bを形成する。

次いで図示しないが、上記基板をレーザスクライブ等の方法によりチップ形状に切断して両面構造の単位三次元IC素子(A)が完成する。なお上記切断は貼着樹脂即ちポリイミド層35に達するよう行われる。

なお上記単位三次元IC素子(A)が積層に際して最上部素子専用に用いられる場合には、PMSSよりなる第2の被覆絶縁膜29bの形成及び裏面側の熱圧着端子6a、6bの形成工程は省略されることもある。

ランプ、レーザ等のエネルギー線(L)照射により100～250℃程度に湿性雰囲気中で加熱し、貼着樹脂即ちポリイミド35を剥離させ、熱圧着された単位三次元IC素子(A₁)を支持基板36から分離する。

次いで酸素プラズマ処理等により上記単位三次元IC素子(A₁)の上面に付着しているポリイミドを完全に除去する。

第2回参照

次いで配線基板を介して200～250℃に加熱された上記単位三次元IC素子(A₁)上に、前述と同様な方法で別の良品単位三次元IC素子(A₂)を、熱圧着端子6aと7a、6bと7bをそれぞれ位置合わせした状態で熱圧着しその相互間を電気的に接続固着せしめる。

この際前述のようにPMSS層29b及び45は溶融し、かかる後固化するので単位三次元IC素子(A₁)と単位三次元IC素子(A₂)は該PMSS層を介して強固に融着固定された状態で積層される。

なおここで、単位三次元IC素子(A₂)は積層の

實際上部専用に用いられるために、上面（表面）側のPMSS層29b及び熱圧着端子6a、6bは形成されていない。

次いで、前述の方法と同様の手段で単位三次元IC素子(A₂)上から支持基板36を剥離する。

上記本発明の構造において導電体ポストが細い場合には、層間絶縁膜の該導電体ポストに対するコンタクト窓の位置ずれ等により回路配線と基板が短絡することを避けるために導電体ポスト先端部周辺の基板面に凹部を形成し、該凹部内に前記PMSS等の塗布絶縁膜を埋込み、該埋込み絶縁膜上で導電体ポスト先端部と回路配線との接続を行う構造が用いられる。

この構造を用いる際には下記に第4図(a)～(c)を参照して説明する方法が用いられる。

第4図(a)参照

導電体ポスト4の形成されたSi基板1上に該導電体ポスト4先端部の周囲を取り囲む環状の開孔51を有するレジストマスク膜52を形成し、該レジストマスク膜52の開孔51を介し等方性のエッチング

一バエッティングにより導電体ポスト4に沿ったSiO₂絶縁膜3を含む塗布絶縁膜54に凹部が形成され図示のように導電体ポスト4の先端部が僅かに突出し、回路配線層27がこれを包み込むように被覆されるので、導電体ポスト4と回路配線27とのコンタクト品質が向上する。

なお上記配線接続方法は基板裏面側にも同様に適用される。

次ぎに本発明の絶縁膜を電気的に破壊して情報の書き込みを行う絶縁膜破壊型PROMへの適用例について、第5図に示す平面図(a)及び側断面図(b)を参照し説明する。

図中、11は基板裏面にある電源配線、12は裏面をつなぐ配線（導電体ポスト）、13はMOSトランジスタのソース／ドレイン領域14bとの接続部、14a、14bはソース／ドレイン領域、15はワード線、115は隣のセルのワード線、16はプログラム素子、17はピット線である。

このPROMセルでプログラミングを行う場合、書き込み対象となるセルのワード線15を駆動し、ビ

グ手段例えば沸硝酸系の液によるウエットエッチングにより該導電型ポスト4と基板1の間に介在せしめられているSiO₂絶縁膜3の周囲に例えば幅2μm、深さ1μm程度の凹部53を形成する。

第4図(b)

上記レジストマスク膜52を除去した後、該基板面の上記凹部53内にスピンドルコート法等によりPMSS等の塗布絶縁膜54を埋込む。

第4図(c)参照

次いで該基板面にCVD法によりSiO₂層間絶縁膜26を形成し、次いで通常のリソグラフィ手段により該SiO₂層間絶縁膜26にコンタクト窓55を形成し、次いで通常の配線形成法により該コンタクト窓55部において導電体ポスト4に接觸するポリSi回路配線27を形成する。

以上のことによると、導電体ポスト4先端部の周囲に広い範囲で塗布絶縁膜54が埋込まれるので、コンタクト窓55が多少位置ずれしても回路配線27が基板1に短絡することはない。

またコンタクト窓のエッティング形成に際し、オ

ット線17をプログラミング用の高電位にする。これによってプログラム素子16が破壊されてピット線17とソース／ドレイン領域14aとの導通が起こる。プログラム素子16は100A程度の薄い絶縁膜、或いはポリSiによって形成される。（ポリSiの場合プログラム中に流した電流による発熱により周囲から不純物がポリSi中に拡散してその導電率が変化する現象を利用される。）

この場合、プログラミングに必要なパルス電流の瞬時値は、電源配線の抵抗によって変化する。

図示しないが基板の片面にデバイスが形成される従来の構造においては、上記電源配線がソース／ドレイン領域14bと一緒に形成される拡散層で構成されていた。そのため配線抵抗が大きくて瞬時電流値が大きくとれず、書き込みが容易でないといった問題が発生するので、設計時点で上記電源配線を金属配線層で補強する等の対策が必要であった。そしてこのとき、ピット線も金属配線で形成されている関係上両者が厳密なレイアウト条件を同時に満たすことは出来ず、セルアレー内に無

駄な電源配線が走るといったことが不可避になり、そのため集積度の低下を招くという問題点があった。

本発明を適用すれば第5図に示すように、電源は基板1に形成したスルーホール（導電体ポスト）12を介して基板1の裏面から給電できるので、電源配線11は基板の裏面にビット線17等の表面の配線と独立に最適化し幅広い低抵抗の金属材料により低抵抗に形成することができる。

従って、該ROMアレーの集積度の向上が図れ、且つ書き込みが容易に且つ確実に行われるようになるのでその信頼度が向上する。

次ぎに本発明のマスクROMへの適用例について、第6図に示す回路図(a)、情報“1”的場合の模式側断面図(b)、情報“0”的場合の模式側断面図(c)を参照して説明する。

図中、WLはワード線、BLはビット線、Vccは電源線、M1、M2はメモリ用トランジスタ、1は基板、3は絶縁膜、4は表裏をつなぐ配線（導電体ポスト）、14a、14bはメモリ用トランジスタのソ

スノードレイン領域、18は基板裏面の層間絶縁膜を示す。

同図に示すように本発明を適用したマスクROMにおいては、メモリ用トランジスタM1、M2等の電源Vccに接続されない側のソース／ドレイン14aの底部から絶縁膜3によって基板1と絶縁された導電体ポスト4が基板1の裏面に導出され、基板1の裏面を覆って層間絶縁膜18が形成され、ビット線BLは基板1裏面の層間絶縁膜18上に配設される。そして情報は上記層間絶縁膜18に導電体ポスト4へのコンタクト窓の“あり”・“なし”によって書き込まれる。この例においてはコンタクト窓“あり”が“1”に対応し、“なし”が“0”に対応する。

このようにするとマスクROMの形成を、プロセス工程の最終段階即ち三次元IC素子を積層する直前の段階で容易に行えるので、マスクROM情報変更に伴う該マスクROMを有する三次元ICの出荷手番が大幅に短縮される。

(発明の効果)

以上説明のように本発明によれば三次元ICが、半導体基板の両面に、該半導体基板を貫通して形成された導電体ポストを介して相互に接続された半導体回路が形成されてなる両面構造の単位三次元IC素子の多重積層体によって形成されるので集積密度が向上する。

また各層の半導体回路を構成する半導体素子は統て半導体単結晶基板の両面に直に形成されるのでその特性は安定すると同時に、上記積み重ね構造であることにより良品の選別を各層の半導体回路ごとに行って積層することが可能になるので製造歩留りが大幅に向うする。

更にまた上記積み重ね構造であることにより、基板下面の配線変更が積み上げ（積層）工程の直前で単位三次元IC素子ごとになし得るので、ROM情報の変更等に際しての配線変更が極めて容易になり、ROMを含んだ三次元ICの製造手番が大幅に短縮される。

4. 図面の簡単な説明

第1図は本発明に係る三次元ICの原理を示す模式側断面図。

第2図は本発明の構造の一実施例を示す模式側断面図。

第3図(a)～(c)は本発明の製造方法の一実施例を示す工程断面図。

第4図は導電体ポストと回路配線とのコンタクトの形成方法を示す工程断面図。

第5図は本発明に係るPROMの構造を示す模式平面図(a)及び模式側断面図(b)。

第6図は本発明に係るマスクROMの回路図(a)、情報“1”的場合の模式側断面図(b)及び情報“0”的場合の模式側断面図(c)である。

図において、

1は半導体基板、

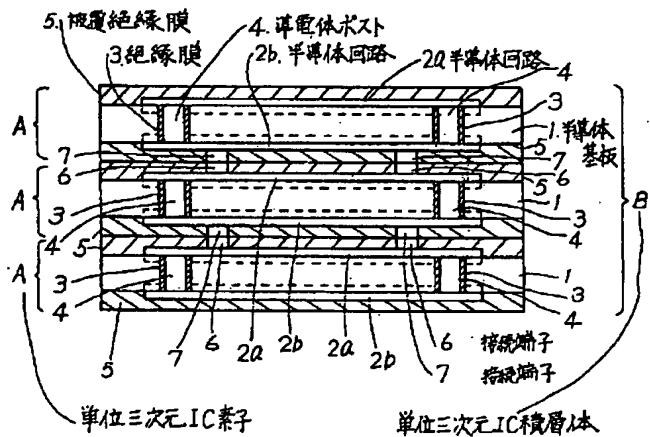
2a、2bは半導体回路、

3は絶縁膜、

4は導電体ポスト、

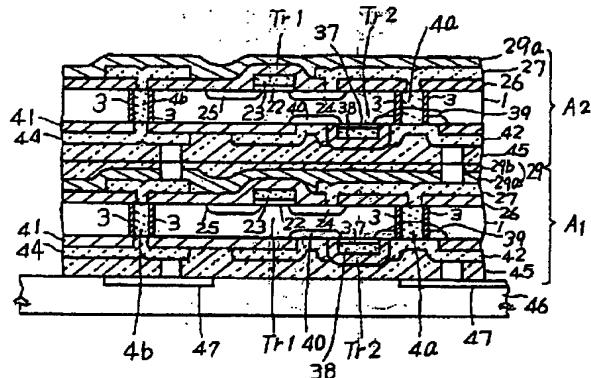
5 は被覆絶縁膜、
 6、7 は接続端子、
 8 は単位三次元 I C 素子、
 9 は単位三次元 I C 素子の多重積層体
 を示す。

代理人 卉理士 井桁貞一



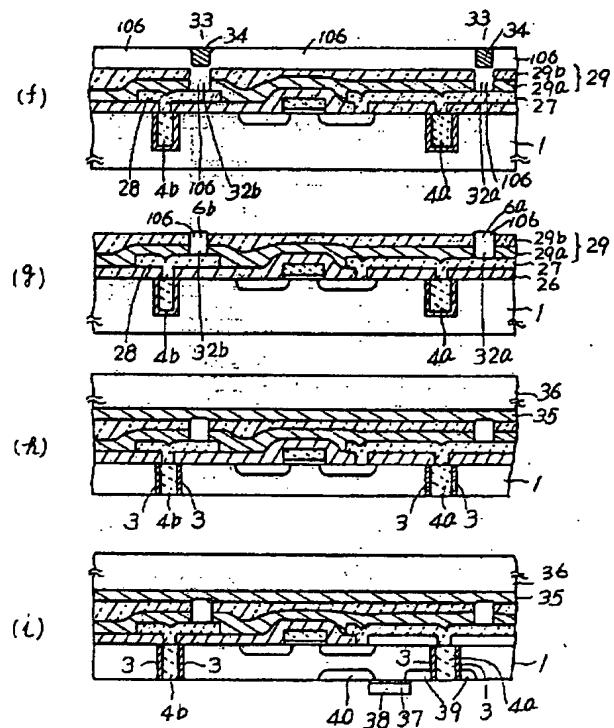
本発明の原理を示す模式側断面図

第一圖



本章明の構造の一実施例の模式側断面図

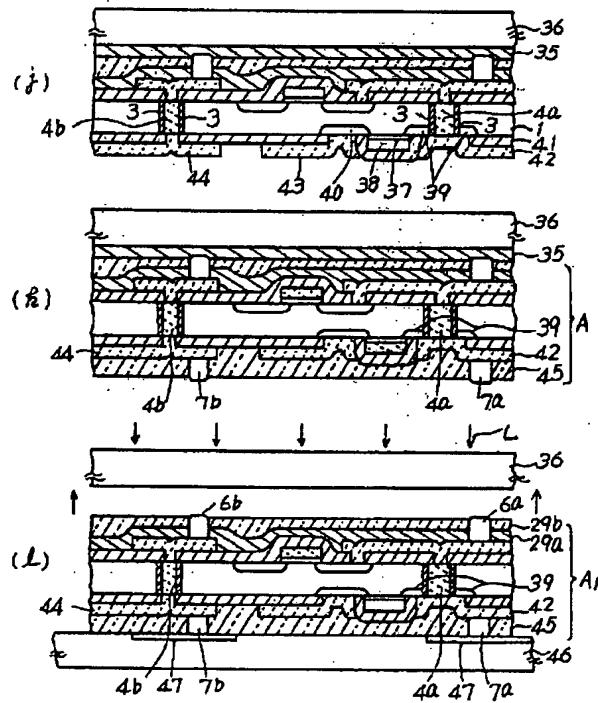
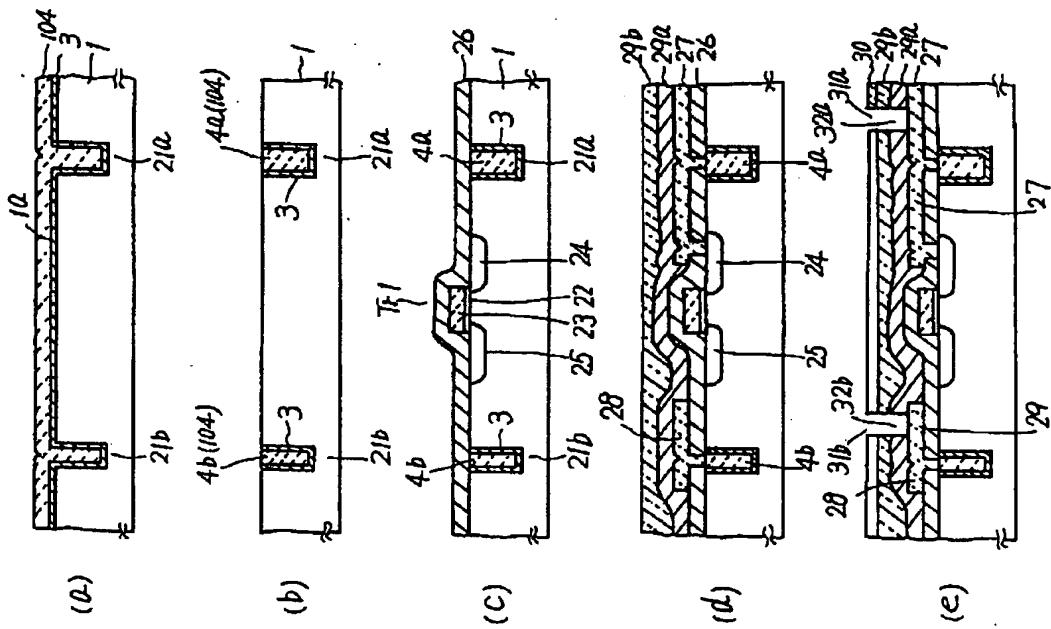
第 2 図



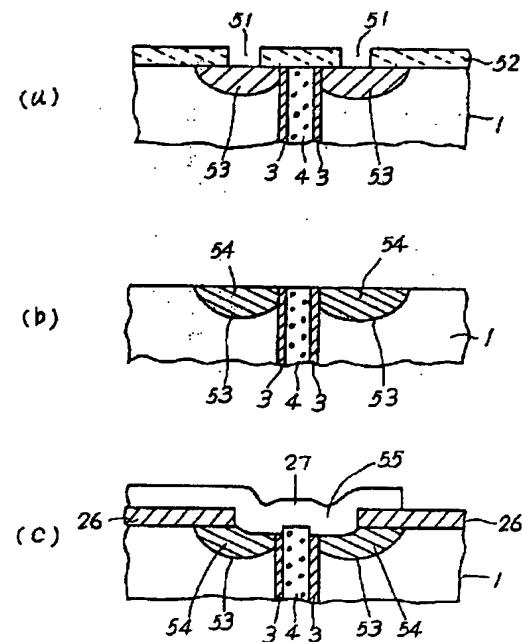
本巻目の方の一実施例の工程断面図

第3回

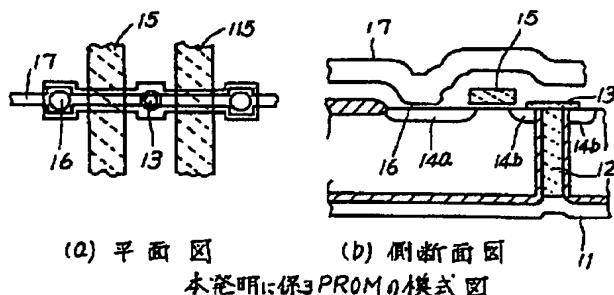
本説明の方法の一実施例の工程断面図
第3図



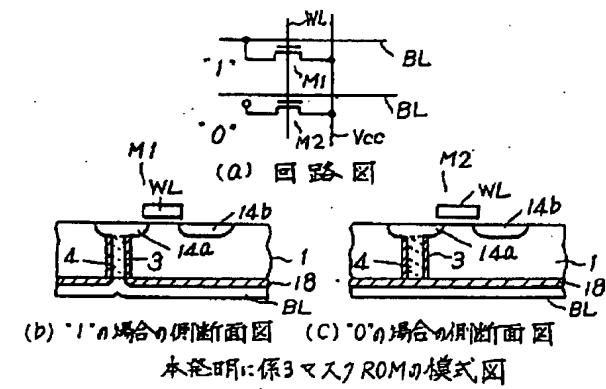
本説明の方法の一実施例の工程断面図
第3図



導電体リストと回路配線とのコントクトの
形成方法を示す工程断面図
第4図



(a) 平面図 (b) 側断面図
本発明に係るPROMの模式図
第5図



(b) "1"の場合の側断面図 (c) "0"の場合の側断面図
本発明に係るPROMの模式図
第6図